

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 5 7 4 5 7

(43) 公開日 平成 7 年 (1995) 3 月 3 日

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/401

G 1 1 C 11/34 3 6 2 C

審査請求

有

請求項の数 5

F D

(全 9 頁)

(21) 出願番号 特願平 5 - 225185

(22) 出願日 平成 5 年 (1993) 8 月 18 日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 神先 幸子

東京都港区芝五丁目 7 番 1 号 日本電気株式
会社内

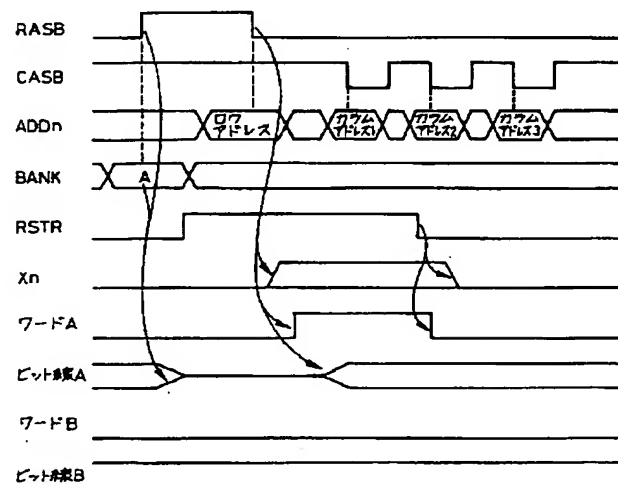
(74) 代理人 弁理士 ▲柳▼川 信

(54) 【発明の名称】 メモリ装置

(57) 【要約】

【目的】 複数バンクを有し、センスアンプをキャッシュメモリとして用いる DRAM において、チップサイズを小としつつ高速アクセスを実現する。

【構成】 RASB をロウレベルに維持した状態で、センスアンプはアクティブとしたままでワード線を制御信号 RSTR によりリセット可能とする。RASB がロウレベルに維持されているので、センスアンプがアクティブのままであるから、センスアンプをキャッシュメモリとして用いることができる。ページアクセスサイクル中にライトがあったかどうか判定し、ライトがあれば RASB 上昇時にワード線を上げ、センスアンプ内のデータをメモリセルにリストアしてからビット線対をプリチャージし、ライトがなければ、RASB 上昇時に直ちにビット線対をプリチャージする。



【特許請求の範囲】

【請求項 1】 ワード線と、ビット線と、これ等ワード線とビット線との各交差部に設けられたメモリセルと、前記ビット線対応に設けられて対応ビット線のデータを増幅するセンスアンプと、外部ローアドレスストロープ信号の活性化にตอบสนองしてアドレス信号を取込みこのアドレス信号に応じたワード線を選択的に活性化する手段と、前記アドレス信号に応じたビット線に対応するセンスアンプを選択的に活性化する手段とを含むメモリ装置であって、

前記ローアドレスストロープ信号の活性状態で、制御信号にตอบสนองして前記センスアンプの活性状態を維持しつつ前記ワード線を非活性状態に制御する手段を含むことを特徴とするメモリ装置。

【請求項 2】 前記ワード線の活性状態で、前記ローアドレスストロープ信号の非活性化にตอบสนองして前記ワード線を非活性化後に前記ビット線をプリチャージし、前記ワード線の非活性状態で、前記ローアドレスストロープ信号の非活性化にตอบสนองして前記ビット線をプリチャージする手段を含むことを特徴とする請求項 1 記載のメモリ装置。

【請求項 3】 前記制御信号は前記ローアドレスストロープ信号の活性化にตอบสนองして所定時間後に生成されるよう構成したことを特徴とする請求項 1 記載のメモリ装置。

【請求項 4】 前記制御信号は外部から供給されるようにしたことを特徴とする請求項 1 記載のメモリ装置。

【請求項 5】 前記ワード線の非活性化状態で前記センスアンプに対する書込み指示にตอบสนองしてこの書込み指示を記憶する手段と、

前記センスアンプが非活性化される以前に前記書込み指示を記憶する手段の出力により当該ワード線を活性状態として、書込みデータを対応メモリセルへ再書込みする手段と、

を含むことを特徴とする請求項 3 記載のメモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はメモリ装置に関し、特にページアクセス可能なダイナミックメモリシステムに関するものである。

【0002】

【従来の技術】従来この種のダイナミックメモリシステムの概略ブロック図を図 16 に示す。外部からのアドレス信号 ADD0～ADDN はラッチパルス RL のタイミングに同期して対応するラッチ回路 100～10N へラッチされる。これ等各ラッチ出力は対応するゲート回路 110～11N を介して内部ロウアドレス信号 XO～XN としてロウデコーダ 12 へ供給される。

【0003】ロウデコーダ 12 においては、内部ロウアドレス信号 XO～XN の信号内容に応じてワード線 13

の一本を選択的にアクティブ化している。これ等ワード線 13 とビット線 15 との各交差部にはメモリセルが夫々配置されることにより、全体としてメモリセルアレイ 14 を構成している。

【0004】各ビット線 15 に対応してセンスアンプ 16 が設けられており、ビット線 15 のうち図示せぬカラムデコーダにより選択された一つのビット線に対応するセンスアンプがアクティブとされる。従って、アドレス信号 ADD0～ADDN により選択されたワード線とビット線との交差部のメモリセルからの読出しデータが当該ビット線に対応するセンスアンプから外部へ導出されるようになっている。

【0005】図 17 は図 16 のメモリシステムにおけるページアクセスの動作例を示すタイミングチャートである。ロウアドレスストロープ信号 (RASB) が立下ってアクティブになると、ロウアドレスラッチ信号 (RL) が立上ってアクティブになり、ロウアドレス ADDn (n=0～N) が対応ラッチ回路 100～10N へ夫々取込まれる。内部ロウアドレス Xn がロウアドレスデコーダ 12 にてデコードされ、選択された一つのワード線のみが立上りアクティブとなる。続いて、ビット線対の差電位が増幅される。

【0006】しかる後に、カラムアドレスストロープ信号 (CASB) の降下エッジにてカラムアドレス (CA1) が取込まれ、このカラムアドレス (CA1) にて選択されたセンスアンプに対してリード/ライト動作が行われる。

【0007】このとき、RASB をロウレベル (アクティブ) 状態に維持したままで、図 17 に示す如く CASB をクロッキングすることにより、同一のロウアドレス (RA1) 上の異なるカラムアドレス (CA1, CA2, CA3 等) をアクセスすることが可能である。

【0008】このとき、ワード線はハイレベルのアクティブ状態にある。また、このワード線はメモリセルへの論理 1 の書込みレベルを高くするために、一般に電源電圧 (Vcc) 以上に昇圧されている。そのために、RASB のローレベル期間が長すぎると、リーク等の要因でワード線が昇圧レベルから低下してしまうという問題がある。

【0009】そこで、RASB のローレベル期間 (tRAS) として最大値 (tRSMAX) が規定されている。

【0010】RASB がハイレベルになると、先ずワード線がリセット (非活性化) され、ワード線がロウレベルになった後に、内部ロウアドレス Xn がリセットされると同時に、ビット線対がプリチャージされることになる。この状態が次のページアクセス待機状態である。

【0011】

【発明が解決しようとする課題】この様な DRAM (ダイナミック RAM) 回路のセンスアンプをキャッシュメモリとして用いるメモリシステムが製品化されつつあ

る。すなわち、図 18 にその概念図を示す如く、複数のバンク（図 18 では 4 つのバンク A ~ D）を持つメモリ回路において、チップ上の全メモリをバンク数に分け、異なるバンクは異なるロウアドレス上のデータを同時にそのバンクのセンスアンプに保持することができるようにし、同一ロウアドレス上のワードが続いてアクセスされたときは、ワードアクセスを行わずに、データを保持しているセンスアンプへアクセスを行うようにして、高速化を図るようにしている。

【0012】この様に、センスアンプをキャッシュメモリとして用いる機能を実現しようとする、図 18 に示す如く、ロウアドレス線 X_n 、ロウデコーダをバンク毎に設ける必要があり、メモリチップの面積増大につながるという欠点がある。

【0013】また、この様なメモシステムの用途としては、同一のロウアドレスに対するアクセスが集中して生じる確率が高いために、主としてページアクセスが行われることが多い。従って、あるロウアドレスへのアクセスが終了しても、次に同一ロウアドレスへアクセスが生じる可能性が大きくなり、よって異なるロウアドレスをアクセスする必要が生じないときには、RASB をハイレベル（非活性）状態とせずに、アクティブ状態のままにしておき、センスアンプはデータ保持状態としている。

【0014】こうすることで、次に同一ロウアドレスへのアクセスが生じたときには、RAS アクセスタイム（ t_{RAC} ）ではなく、CAS アクセスタイム（ t_{CAC} ）のみでリード／ライト動作が可能となる。一般に、リード動作の場合、CAS アクセスタイムは RAS アクセスタイムの $1/3$ 程度であるので、高速アクセスが可能となるのである。

【0015】しかしながら、この場合、前述した t_{RSMAX} の規定が存在するために、異なるロウアドレスへのアクセス要求のあるなしにかかわらず、この時間 t_{RSMAX} の後には、必ず RASB をリセットしてプリチャージする必要があり、これ等各信号の制御が煩雑になるという欠点がある。

【0016】更に、異なるロウアドレスへのアクセスが必要になったときには、図 19 のタイムチャートに示す如く、RASB をプリチャージして RASB プリチャージ時間（ t_{RP} ）の最小規定時間（ t_{RPMIN} ）後に、RASB をアクティブとし、所望のデータをリード／ライトする必要がある。このときのリードアクセスタイムは、 $t_{RPMIN} + t_{RACMIN}$ で制限されることになる。

【0017】従来技術においては、RASB をプリチャージすると、先ずワード線をリセットしロウレベルにしてからビット線対をプリチャージするようになっているので、 $t_{RP} = t_1 + t_2$ （ t_1 ：RASB の立上りからワード線がロウレベルになるまでの時間、 t_2 ：ワード線がロウレベルになってからビット線がプリチャージさ

れるまでの期間）となり、アクセスが遅くなるという欠点がある。

【0018】本発明の目的は、チップサイズの増加をなくしかつアクセスタイムの縮小化を図ったメモリ装置を提供することである。

【0019】

【課題を解決するための手段】本発明によるメモリ装置は、ワード線と、ビット線と、これ等ワード線とビット線との各交差部に設けられたメモリセルと、前記ビット線対に設けられて対応ビット線のデータを増幅するセンスアンプと、外部ローアドレスストロブ信号の活性化にตอบสนองしてアドレス信号を取込みこのアドレス信号に応じたワード線を選択的に活性化する手段と、前記アドレス信号に応じたビット線に対応するセンスアンプを選択的に活性化する手段とを含むメモリ装置であって、前記ローアドレスストロブ信号の活性状態で、制御信号にตอบสนองして前記センスアンプの活性状態を維持しつつ前記ワード線を非活性状態に制御する手段を含むことを特徴とする。

【0020】本発明による他のメモリ装置は、上記構成の他に、更に前記ワード線の活性状態で、前記ローアドレスストロブ信号の非活性化にตอบสนองして前記ワード線を非活性化後に前記ビット線をプリチャージし、前記ワード線の非活性状態で、前記ローアドレスストロブ信号の非活性化にตอบสนองして前記ビット線をプリチャージする手段を含むことを特徴とする。

【0021】

【実施例】以下に、本発明の実施例について図面を参照しつつ詳細に説明する。

【0022】図 1 は本発明の実施例の各信号の変化を示すタイムチャートである。ロウアドレスストロブ信号（RASB）の降下時（活性化時）、ロウアドレス AD_n がラッチ回路にてラッチされ、このラッチ出力が内部ロウアドレス X_n としてロウアドレスデコーダへ供給されてワード線の一つが択一的にアクティブとされる。このワード線のアクティブにตอบสนองしてビット線対の差電位が対応センスアンプへ入力され増幅される。

【0023】このとき、どのバンクのワード線をアクティブとするかは、RASB の上昇時に外部バンク信号 BANK から取込んだ信号に基づくもので、本例ではバンク A としている。

【0024】以上の動作は従来例のそれと同一である。そして、ビット線対の差電位が開きメモリセルへの再書き込みが十分行われた時点で、外部制御信号（RSTR : Restore）がロウレベルになり、ワード線がリセットされると同時に、内部ロウアドレス X_n がリセットされる。

【0025】この場合、RASB はロウレベルのままであり、よってセンスアンプは、データを保持したままの状態であるので、ワード線の状態にかかわらずページ

クセスが可能となるのである。

【0026】上述した制御動作は図2の論理回路で実現可能であり、その動作タイミングを図3に示す。RASBと制御信号RSTRとにより、センスアンプ用RASB(SRASB)及びワード用RASB(WRASB)とを生成している。従来技術では、RASBのみの一つの信号でセンスアンプとワード線とを制御していたのを、本発明では、RASBの他に更にリストア用制御信号RSTRを導入して、センスアンプ用RASBの他にワード用RASBを生成している。

【0027】図3に示す如く、RASBの降下エッジにおいては、制御信号RSTRはハイレベルになっており、よってSRASB及びWRASBは共にロウレベルにあり、センスアンプ及びワード線は共に活性化される。制御信号RSTRがロウレベルになると、WRASBはハイレベルになり、ワード線のみがリセットされる。

【0028】また、図2の回路において、RASBがロウレベルの状態で図3の如くRSTRをクロッキングすると、ワード線の電位もそれと同期してクロッキングさせることができることになる。この動作については後述する。

【0029】この様に、RASBをアクティブ状態に維持してワード線のみをリセットすることにより、ワード線の昇圧レベルがリーク等の要因で低下してしまうことで制限されているtRASMAXの規定を何等気にする必要がなく、異なるロウアドレスへのアクセス要求が来るまで、RASBをアクティブにしておくことが可能となるのである。

【0030】また、ワード線はリセットされるので、ロウアドレスラッチ、ロウアドレス線、ロウデコーダは異なるアドレスに対して対応できることになる。このときの動作を図4、5を用いて詳述する。図4はバンク数が2の場合の本発明の実施例の一部ブロック図であり、図5はその動作タイムチャートであり、図1のタイムチャートからの続きを示す。尚、図4において、図16と同等部分は同一符号にて示しており、バンクA、バンクBには夫々A、Bの符号を付している。

【0031】RASBが立上ると、その立上りタイミングにてバンクアドレスBANKのBが取込まれ、バンクBのビット線対15Bはプレチャージされる。バンクAのビット線対15Aは差電位が増幅された状態にある。

【0032】続いて、RASBが立下ると、ロウアドレスラッチ回路100~10Nはロウアドレスをラッチし、ロウアドレスデコーダ12を介してバンクBのワード線を選択しバンクBのビット線対の差電位が増幅される。しかる後に、RSTRがロウレベルになると、バンクBのワード線は図1のバンクAのワード線と同様に、リセットされる。

【0033】図4中のBANKAEはバンクAのワード線をアクティブにするための信号であり、BANKBEはバンクBのワード線をアクティブにするための信号である。

【0034】以上の動作は、センスアンプをアクティブにしたまま、ワード線のみをリセットすることにより実現されるものである。

【0035】この様な動作をしたとき、RSTRによりワード線がリセットされてからRASBによってビット線がプリチャージされるまでの間に、センスアンプに書き込み動作が生じた場合、センスアンプに書込んだデータがメモリセルへ書込まれないという問題が生じる。

【0036】そこで、図6のタイムチャートに示す如く、RASBがハイレベルになる前にRSTRをハイレベルにし、その立上りエッジでロウアドレスとバンクアドレスとが取込まれるようにする。図2、3に示す如く、RASBがロウレベルでRSTRがハイレベルのときは、WRASBがアクティブになるので、再びワード線が立上り、センスアンプのデータをメモリセルにリストアする。

【0037】続いて、RASBをハイレベルにし、ワード線をロウレベルとし、ビット線をプリチャージすれば良い。RASBの立上りエッジでRSTRがロウレベルであれば、直ちにビット線のプリチャージを行うので、従来に比しワード線をロウレベルへ変化させる時間(図6のt1)がなくなり、ライトアクセスがなかった場合のtRPの短縮を図ることができる。

【0038】先の実施例では、ワード線のリセット及び再書き込みのためにワード線を上げることを外部制御信号(RSTR)によって行ったが、第二の実施例では、これを内部制御信号(IRSTR)によって行うようにしている。この実施例のタイミングチャートは図1のRSTRをIRSTRに置換えたものになる。内部信号IRSTR(Internal Restore)はRASBから例えば図7のようにして作られる。

【0039】図7のディレイ素子51による遅延時間はRASB降下時からビット線が十分増幅される時間に設定してある。また、図3はRSTRをIRSTRに置換えることで第二の実施例に適用できる。

【0040】図1の様な動作をしたとき、ワード線がリセットされてからビット線がプリチャージされるまでの間に、センスアンプに書き込み動作が発生していた場合、センスアンプに書き込んだデータがメモリセルに書込まれないと言う不具合が生じてしまう。

【0041】そこで、図8に示すように、RASBの上昇エッジでロウアドレスとバンクアドレスとを取込み、もう一度ワード線を上げ、センスアンプのデータをメモリセルにリストアしてからワード線を下げ、ビット線をプリチャージすれば良い。

【0042】このコントロール回路は、図2の代わり

に、例えば図9の様な回路を用いることで実現できる。図10は図9の回路の動作を表わすタイミングチャートである。

【0043】RASBがロウレベルになるときIRSTRはハイレベルなので、センスアンプ用RASB (SRASB)、ワード用RASB (WRASB) 共にロウレベルに変化する。図7のディレイ素子51で決る時間 t_{51} 後にIRSTRがロウレベルになるので、WRASBはハイレベルになり、ワードがリセットされる。

【0044】RASBがハイレベルになると、WRASBがロウレベルになり再びワードが上がり、図9のディレイ素子72で決る時間 t_{72} 後にWRASBがハイレベルになり、ワードがリセットされる。

【0045】一方、RASBがハイレベルになってから、図9のディレイ素子71で決る時間 t_{71} 後に、SRASBはハイレベルになりビット線はプリチャージされる。ディレイ素子は、 $t_{71} > t_{72}$ となるように設定されている。

【0046】本発明では、更に t_{RPMIN} を改善するために、上述のリストアをライト動作があった場合のみ行うようにしている。

【0047】次に、この動作を図を用いて説明する。図11はこの動作を表すタイミングチャートである。ページアクセス中にライト動作が起り、ライト動作を示す内部信号WEがハイレベルになると、過去にライト動作が起ったことを表す信号WRITEがハイレベルにセットされる。WRITEはWEがロウレベルになってもセットされたままであり、RASBがハイレベルになるとリセットされる。

【0048】WRITE信号を発生する回路としては、例えば図12に示すようなフリップフロップを用いれば良い。図12の回路によれば、WRITEはWEがハイレベルになるとセットされ、その後はWEの状態によらずハイレベルを保ち、RASBがハイレベルになることによりリセットされる。

【0049】RASBの上昇エッジでWRITEがハイレベルであれば、ロウアドレスに従ってワード線を上げ、メモセルにセンスアンプのデータをリストアし、ワード線を下げ、バンクアドレスに従って、ビット線をプリチャージする。

【0050】このコントロールは、例えば図13のような論理回路で実現することができる。図14、15は図13の動作を表わしたものであり、図14はライト動作が起った場合、図15はライト動作が起らなかった場合である。

【0051】ライトが起り、WRITEがハイレベルになっている場合は、WRITEがハイレベルになっているので、ディレイ素子102、103は有効になる。

【0052】RASBがハイレベルになると、IRSTRがハイレベルになるので図13の(a)のパスでWR

ASBがロウレベルになり、ワード線が上がる。その後、ディレイ素子103で設定される遅延時間 t_{103} の後に、図13のパス(b)でWRASBがハイレベルになり、ワードは再びリセットされる。

【0053】 t_{103} はワード線が上って、センスアンプのデータがメモセル内に書かれるのに十分な時間に設定される。また、 t_{103} でワード線のハイレベル期間がコントロールされるように、ディレイ素子101で設定される遅延時間 t_{101} は t_{103} より大きく設定されなければならない。

【0054】一方、SRASBはRASBがハイレベルになってから、ディレイ素子102で設定される遅延時間 t_{102} の後にハイレベルになり、ビット線をプリチャージする。ワードがリセットされてからビット線がプリチャージされるように、 t_{102} は t_{103} より大きく設定される。

【0055】ライトが起らなかった場合は、WRITEがロウレベルになっており、ディレイ素子102、103は無効になる。この時、WRASBは図13のパス(c)、(d)によってハイレベルを保ち、SRASBは図13の(e)のパスのみ(すなわちRASBのみで)コントロールされる。

【0056】実施例1、2の外部信号(RASB, RSTR, ADD等)のかわりに同一チップ上の論理回路により、RASB, RSTR, ADD相当の信号を発生し、ダイナミックメモリスシステムをコントロールしてもよい。

【0057】

【発明の効果】以上説明したように本発明は、RASBが活性化中にセンスアンプを活性化したままワード線をリセットしたことで、 t_{RSMAX} の制限無くページアクセスが可能になり、よってセンスアンプをキャッシュメモリとして使用できることになる。

【0058】また、複数のバンクを持つメモリスシステムにおいて、ワード線がリセットされていれば、ロウアドレス系回路(ロウアドレスラッチ、ロウアドレス線、ロウデコーダ等)はどのバンクのロウアドレスでも伝えることができる。すなわち、ロウアドレス系回路をバンクで共用することができる。従って、ロウアドレス系回路の増加無く、複数のバンクを持つメモリスシステムを実現することが出来るという結果を有する。

【0059】もし、ワード線をリセットせず、各バンクでロウアドレス系回路を別々に持った場合、例えば16Mビットの容量を持つ2バンク構成のDRAMであれば、少なくとも2~3%はチップ面積が増加する。構成するバンク数が4, 8, ...と大きくなれば、さらに大きな率のチップ面積の増加がおこる。

【0060】また、外部信号からワード線を再び上げられるようにし、ワード線がアクティブ中にRASBが上昇すればワード線をリセットしてからビット線対をプリ

チャージし、ワード線がリセットされているとき RASB が上昇すれば、ただちにビット線対をプリチャージするようにするか、ページアクセス中にライトが起こっていれば、RASB が上昇したときワード線を上げてセンスアンプのデータをメモリセルへストアしてからワード線をリセットし、続いてビット線対をプリチャージし、ライトが起っていないければ、RASB が上昇した後ただちにビット線対をプリチャージするようにすることにより、ライトが起っていないときの t_{RP} を、従来の t_{RP} より、ワード線を落すための時間 (約 10 ns) だけ短縮

【図面の簡単な説明】

【図 1】本発明の一実施例の動作タイムチャートである。

【図 2】本発明の一実施例の制御信号発生部の回路図である。

【図 3】図 2 の回路の動作タイムチャートである。

【図 4】本発明の一実施例のシステムブロック図である。

【図 5】図 4 のブロックの動作を示すタイムチャートである。

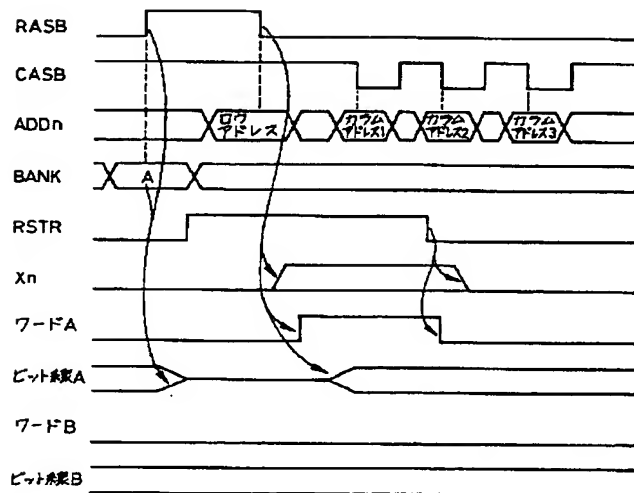
【図 6】本発明の実施例の他の動作を示すタイムチャートである。

【図 7】本発明の第二の実施例のための制御信号発生回路を示す図である。

【図 8】図 7 の回路の動作を示すタイムチャートである。

【図 9】本発明の第二の実施例の制御回路の例を示す図

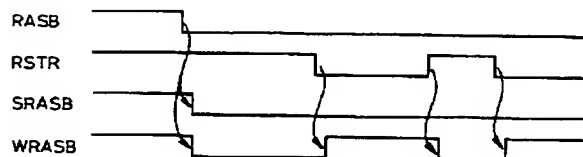
【図 1】



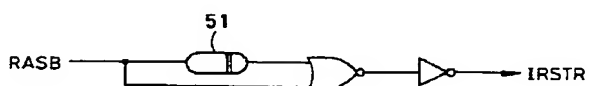
【図 2】



【図 3】



【図 7】



である。

【図 10】図 9 の回路の動作を示すタイムチャートである。

【図 11】本発明の第二の実施例の他の動作を示すタイムチャートである。

【図 12】本発明の第二の実施例に用いる信号発生回路を示す図である。

【図 13】本発明の第二の実施例に用いる制御回路の例を示す図である。

【図 14】図 13 の回路の動作を示すタイムチャートである。

【図 15】図 13 の回路の動作を示すタイムチャートである。

【図 16】従来のメモリシステムのブロック図である。

【図 17】図 16 のブロックの動作を示すタイムチャートである。

【図 18】従来のメモリシステムの他の例を示すブロック図である。

【図 19】図 18 のブロックの動作を示すタイムチャートである。

【符号の説明】

100～10N アドレスラッチ回路

110～11N ゲート素子

12 ロウデコーダ

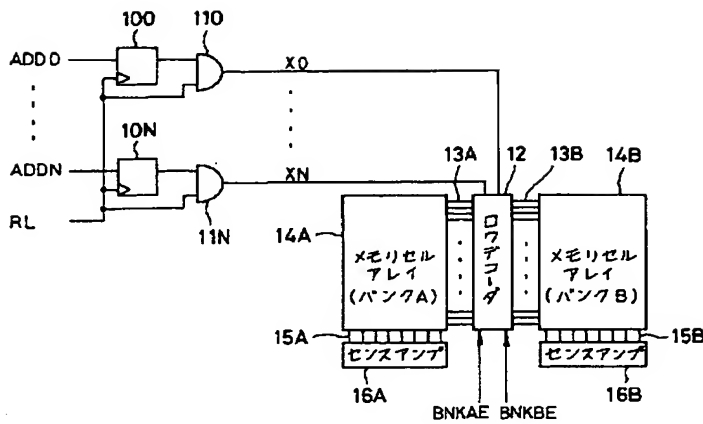
13A, 13B ワード線

14A, 14B メモリセル

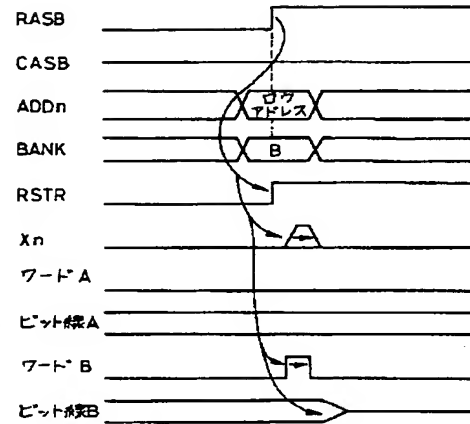
15A, 15B ビット線

16A, 16A センスアンプ

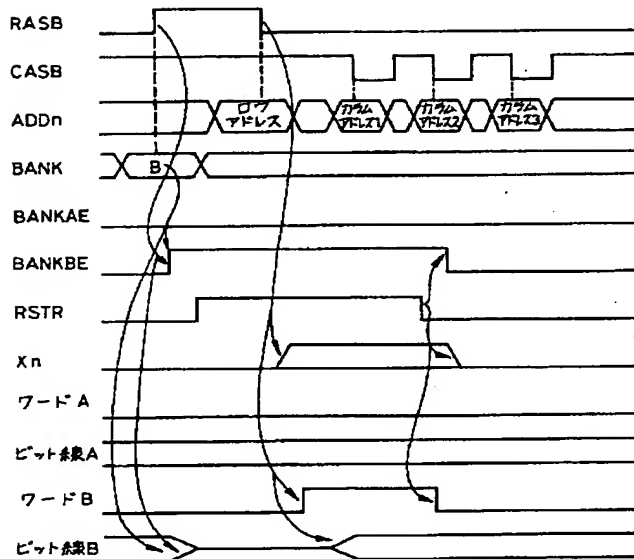
【図 4】



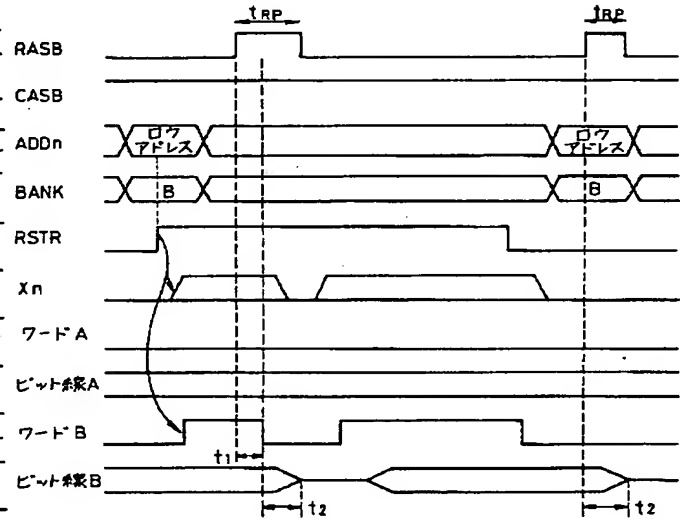
【図 8】



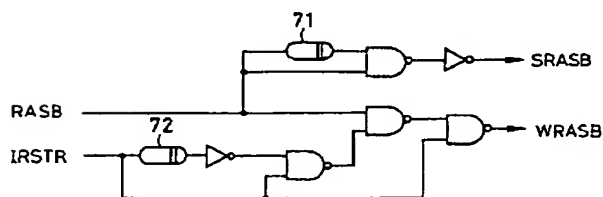
【図 5】



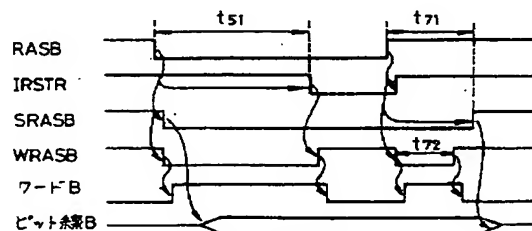
【図 6】



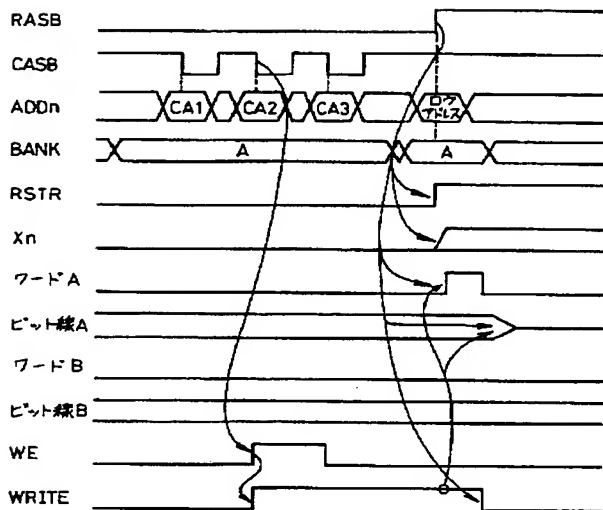
【図 9】



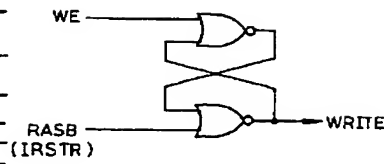
【図 10】



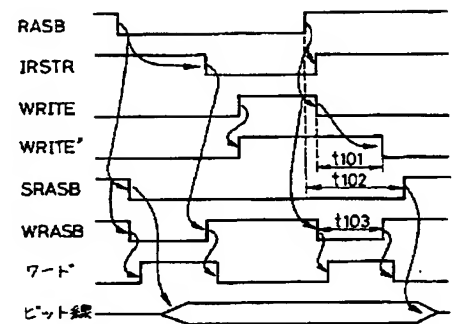
【図 11】



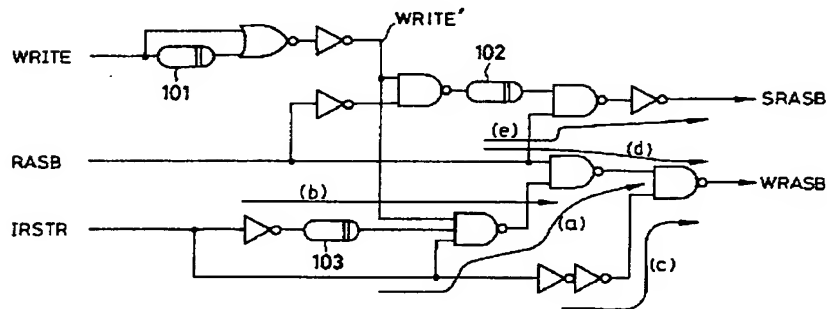
【図 12】



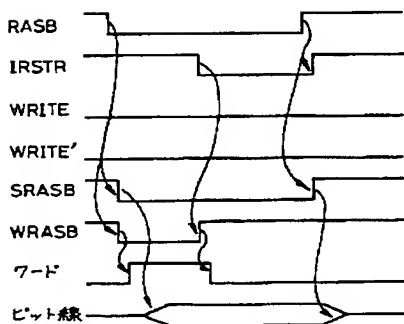
【図 14】



【図 13】



【図 15】



【図 16】

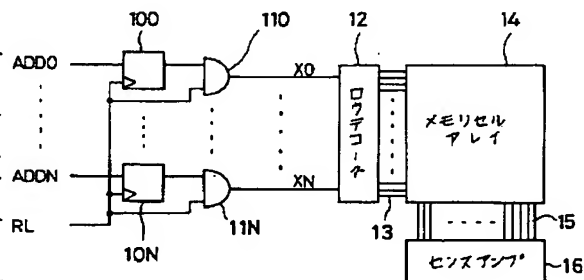


Figure 1 is a block diagram of the control logic for the data path. It shows four control signals (ADDn, RLC, RLA, RLD, RLB) and their corresponding operations (XnC, XnA, XnD, XnB) connected to four word registers (Word 1, Word 2, Word 3, Word 4). Each word register consists of a Memory Array, a Decoder, and a Sense Amplifier. The operations are: XnC (ADDn, RLC), XnA (RLA), XnD (RLD), and XnB (RLB).

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)